

SOC RTL Design Engineer

□ 조직 및 업무 소개

- SoC Design 팀은 자율주행용 SoC를 포함한 다양한 반도체 제품의 설계를 수행하며, 업계 최고 수준의 최신 기술(state-of-the-art)을 적극적으로 적용하고 있습니다. 3rd-party IP와 in-house IP를 기반으로 기능 구현은 물론, PPA(Power, Performance, Area) 최적화를 동시에 달성하는 아키텍처 설계를 지향합니다. 또한, 설계 자동화 환경을 지속적으로 고도화하여 빠르고 안정적인 SoC 개발을 실현하고 있습니다.

- SoC Design Engineer는 IP 및 서브시스템 설계부터 Full Chip 통합까지 SoC 개발 전반의 업무를 수행합니다. 시스템 아키텍처 설계와 Front-end 설계를 기반으로 고성능·고효율 SoC 구현을 담당합니다.

□ 주요 업무

- IP/서브시스템 설계 및 Full chip 통합

- SoC 아키텍처 설계

버스 아키텍처 설계, 시스템 아키텍처 설계, 시스템 분석

- Full chip SoC 설계

Full chip 및 서브블록 통합

Power/Reset/Clock controller 설계

Full chip 레벨 프론트엔드 작업(Lint, CDC, Synthesis, Formality, STA, SDC 스크립트 작성 포함)

설계업무 자동화(AI 활용, Python script)

- IP 및 서브시스템 설계

PCIe, MIPI CSI/DSI, USB, Ethernet과 같은 고속 인터페이스 설계

CPU, GPU, NPU, DSP, ISP 디버거, 인터럽트 컨트롤러, MMU, 캐시, 버스 인터커넥트 등 프로세서

서브시스템 설계

Clock controller, Power controller, System monitors, OTP controller와 같은 시스템 IP 설계

□ 필요 역량

[경력]

- 전자공학, 컴퓨터공학, 반도체 관련 전공 학사 이상
- 설계 분야를 주요 업무로 2년 이상의 근무 경험이 있으신 분
- Verilog 또는 System Verilog를 활용한 기본 RTL 설계 지식
- EDA 툴 사용 경험
- IP/Subsystem/Block 설계 경력
- 해외 여행에 결격 사유가 없으신 분

[신입]

- 전자공학, 컴퓨터공학, 반도체 관련 전공 학사 이상
- 설계 분야 관련 경력 2년 이하
- 디지털 회로 및 논리설계 기본 지식 보유
- 문제 해결 능력과 논리적 사고 능력
- 원활한 협업 및 커뮤니케이션 능력
- 해외 여행에 결격 사유가 없으신 분

□ 우대 사항

- 자동차용 반도체 칩 설계 경력
- Full chip 설계 경력
- C, C++, Python, Tcl 언어 사용 경험
- 비즈니스 영어 의사소통 능력을 보유하신 분

SOC Design Verification Engineer

□ 조직 및 업무 소개

- 보스반도체의 SOC 검증팀은 자율주행 SoC를 비롯한 여러 SoC 제품의 설계검증을 업무를 수행하고 있습니다.
- 정의된 specification을 바탕으로 설계가 의도대로 구현되어 있는지를 기능면, 성능면, 파워면, timing면, 기능안전면 등에서 검증을 진행하고 있으며, 현재 업계에서 사용되고 있는 가장 높은 수준의 state-of-art 기술을 채택하여 검증을 진행하고 있습니다.

□ 주요 업무

- UVM (Universal Verification Methodology)를 사용한 IP/block 수준, SoC 수준에서의 기능 검증
- MDV (Metric Driven Verification) 방법론을 이용한 verification closure
- Testbench architecting 및 verification environment 구성 요소 구현
- ABV (Assertion Based Verification) 기반의 검증
- Simulation, emulation, FV (Formal Verification) 기반의 검증 방법론
- Advanced simulation: Power-aware, X-propagation, and meta-injection simulation

□ 필요 역량

- 컴퓨터공학, 전기전자공학 전공 학사 이상
- Verilog 혹은 SystemVerilog 언어에 대한 이해 및 실무 경험
- Project 팀의 일원으로 타인과 협업을 통해 업무 수행 가능하신 분
- 반도체, 컴퓨터 구조, 로직설계에 대한 background
- 해외 여행에 결격 사유가 없으신 분

□ 우대 사항

- UVM 기반의 설계검증 경험자
- 원활한 영어 소통(speaking 위주)을 통해 외국인과의 협업 가능하신 분
- 업무 목표를 바탕으로 정해진 기한내에 주어진 목표를 달성할 수 있는 실행력 있으신 분
- 새로운 방법론을 받아들이고 변화와 혁신을 통해 업무 개선을 할 수 있으신 분

SoC Physical Design & Implementation Engineer

□ 회사 소개

- 퀀타라인(Quantaline)은 BOS Semiconductors(보스반도체) 100% 자회사로, 글로벌 고객을 대상으로 초미세공정 기반 SoC의 문제 해결(PDI)을 수행하는 전문 엔지니어링 조직입니다. 2026년 3월, 삼성 파운드리 VDP(Virtual Design Partners)로 공식 선정되었으며, 이는 초미세공정 SoC 설계 및 Physical Implementation / Verification 역량을 글로벌 수준에서 인정받았음을 의미합니다.
- 퀀타라인은 삼성 파운드리의 첨단 공정(2nm / 4nm / 5nm)을 기반으로 글로벌 자동차 OEM, AI, 데이터센터 및 고성능 시스템 기업의 SoC 프로젝트를 수행하고 있으며, 단순한 Design Service Provider(DSP)가 아닌 실제 제품 수준의 SoC 문제를 해결하는 기술 중심 조직으로 운영되고 있습니다. 또한, 보스반도체의 SoC 설계 조직과 긴밀히 협업하여 설계-검증-Physical Design-PDI-고객 대응까지 SoC Full Value Chain 경험이 가능한 엔지니어링 환경을 제공합니다.
- 현재 Mobility, Physical AI, High-Performance SoC 분야에서 글로벌 프로젝트를 수행하며 빠르게 성장하고 있습니다.

□ 조직 및 업무 소개

- 신입 엔지니어는 P&R, Physical Verification, Power Analysis 등 Back-end 영역과 Synthesis, STA, Low Power Design, Formal Verification 등 Front-end 영역을 함께 경험하며 전체 SoC Flow를 깊이 있게 이해하게 됩니다.
- 이를 기반으로 Physical Design 및 Implementation 관점에서 SoC 이슈를 분석하고, 설계 리더와의 리뷰를 통해 문제 해결 역량을 강화하며, 글로벌 고객 프로젝트에 직접 참여하여 기술 지원을 수행합니다.

□ 주요 업무

[Physical Design (Back-end)]

- P&R (Floorplan, Placement, CTS, Routing) Flow 학습 및 실무 참여
- Full-chip / Top-level Physical Design 업무 지원
- Physical Verification (DRC / LVS) 수행 및 분석
- Signoff Power Analysis 및 Physical 검증 학습

[Physical Implementation (Front-end)]

- Logical / Physical Synthesis Flow 학습 및 실무 참여
- Timing Analysis (STA) 및 SDC Creation 학습
- Power Analysis 및 Low Power Design(UPF) 기초 수행
- Formal Verification 및 Simulation 지원
- DFT Flow 학습

□ 필요 역량

- 전자/전기/반도체/컴퓨터/시스템 관련 전공
- ASIC/SoC 설계 및 Physical Design 분야에 대한 관심
- Digital Logic 및 SoC 설계 Flow에 대한 기본 이해
- Physical Design(P&R) 또는 Synthesis/Timing에 대한 기초 이해
- 새로운 기술 학습에 적극적인 태도
- 문제 해결에 흥미가 있고 협업이 가능한 분

□ 우대 사항

- ASIC / SoC 설계 관련 수업 또는 프로젝트 경험 및 반도체 공정·SoC 구조에 대한 이해
- Synthesis 및 P&R Tool(Innovus, ICC2 등) 사용 경험
- STA / SDC / UPF 및 Physical Verification(DRC / LVS) 기초 경험
- TCL / Python / Shell Script 활용 경험

AI SW Engineer

□ 조직 및 업무 소개

- AI/Multimedia 개발팀은 인공지능 (AI) 기술과 카메라 ISP (Image Signal Processor) 기술을 통하여 어떠한 환경에서도 안정적이고 신뢰할 수 있는 ADAS (Advanced Driver Assistance Systems) 및 IVI (In-Vehicle Infotainment) 경험을 구현합니다.
- 차량 내 사용자 경험 향상을 위해 음성 인식, 자연어 이해, 추천 시스템, 멀티미디어 처리 등 IVI 영역의 AI 기술을 개발하고 차량용 AI 플랫폼 전반에 걸친 지능형 서비스를 구현합니다.
- 차세대 NPU 프로세서의 성능을 최대한 발휘할 수 있도록 AI 모델 개발 및 최적화, 커스텀 연산 구현, 컴파일러 및 런타임 최적화 등 AI 소프트웨어 개발의 전 영역을 아우르고 있습니다.
- 이미지 센서가 획득한 데이터를 최적의 화질로 처리하여 객체 인식, 거리 측정, 주변 환경 인식 등 ADAS의 핵심 기능에서 정확도와 안전성을 극대화합니다.

□ 주요 업무

- LLM/VLM, Transformer, CNN, end-to-end autonomous driving model 등 자율주행 AI 알고리즘 개발 및 최적화
- 자연어 처리 (NLP), 멀티모달 AI, 음성 인식 등 IVI 관련 AI 모델 개발 및 최적화
- NPU 하드웨어에 특화된 커스텀 오퍼레이터 및 커널 개발
- AI 모델 실행을 위한 런타임 엔진 개발 및 최적화
- TVM, MLIR, 기타 frontend 등 AI 모델 컴파일러 개발 및 최적화
- PyTorch, TensorFlow 등 다양한 AI framework로 개발된 AI 모델 포팅 및 최적화
- NPU 하드웨어에 최적화된 모델 양자화 및 경량화 기술 개발
- 프로파일링 툴을 활용한 성능 분석 및 정확도, 소모 전력, 수행 시간 최적화

□ 필요 역량

- 학사 이상 학위 소지자
- 경력: 위 개발 분야 중 어느 한 분야에서 충분한 개발 경험을 갖고 계시는 분
- 신입: 위 개발 분야에 새롭게 도전하여 최고의 자율주행 AI SW 개발자가 되고 싶은 엔지니어
- 해외 여행에 결격 사유가 없으신 분

□ 우대 사항

- GPU/NPU/TPU 등 HW 가속기 기반의 SDK, AI 모델, 알고리즘 관련 경험 보유자
- 차량용 반도체 HW/SW 개발 경험
- 자연어 처리, 멀티미디어, 음성 인식 등 IVI 시스템 개발 경험

Embedded System SW Engineer

□ 조직 및 업무 소개

- Core SW팀은 차량, 로봇 등 AI 기술이 적용된 다양한 고객 사용 시나리오에 맞게 SoC 내 하드웨어 디바이스를 효율적으로 제어하고, 최적의 성능을 구현하는 고품질 임베디드 시스템 소프트웨어를 개발합니다. Connectivity, Computing, Security, Safety 등 차량용 반도체의 핵심 기능을 중심으로 각 분야 전문가들이 협업하여 시스템 소프트웨어를 연구·개발하고 있습니다.
- ARM, RISC-V 기반 단일 SoC 및 차세대 칩릿(chiplet) 아키텍처 기반 다중 SoC 환경에서 초기화 소프트웨어, CPU 오프로딩 펌웨어(Security/Safety/Multimedia/DSP), Linux/Android와 QNX/Zephyr 기반 디바이스 드라이버를 개발합니다. 또한, 하이퍼바이저 기반 가상화 기술, HAL 및 시스템 프레임워크, 딥러닝 소프트웨어까지 폭넓은 소프트웨어 스택을 다룹니다.
- ASPICE 및 ISO26262 기반 개발 프로세스를 적용하여 높은 기능성과 신뢰성을 동시에 확보하며, 하드웨어 아키텍처 설계 단계부터 참여해 HW/SW 통합 최적화를 수행합니다. 특히 차세대 칩릿 기반 Multi-SoC 분야에서는 글로벌 협업을 통해 요구사항 정의부터 아키텍처 수립, 소프트웨어 통합까지 주도하며 반도체 life-cycle 전주기에 걸쳐 핵심 역할을 수행하고 있습니다.

□ 주요 업무

1. 부팅 소프트웨어 개발

- ATF BL1/BL2/BL31, U-Boot, lkboot 개발
- QSPI flash/SD/MMC/UFS Storage, Clock, Power 드라이버 개발
- Storage Update Tool 및 Secure Boot 디자인

2. 고속 인터페이스, 레가시(legacy) 드라이버 및 관련 소프트웨어 스택 개발

- Legacy Peripheral 드라이버: UART, I2C, SPI, DMA, Timer, WDT, ADC
- 고속 인터페이스 드라이버: PCIe, USB, Ethernet, UClc, CAN-fd 등

3. 멀티미디어 SOC 시스템 소프트웨어 개발

- Camera sub-system 소프트웨어 개발 (Sensor, CSI, ISP 등)
- DSP sub-system 소프트웨어 개발
- 비디오/오디오 sub-system 소프트웨어 개발
- GPU, display controller, DP, HDMI 드라이버 개발
- Weston/Wayland, OpenMAX, Codec2.0, DRM, Camera2.0 등 멀티미디어 프레임워크 개발

4. 차세대 칩릿 기반 multiple SOC 소프트웨어 개발

- Multi-die 통합 Boot 시퀀스 및 상태 진단 로직 구현
- Multi-die 간 Shared Memory, Messaging, Coherency 제어
- OCP ODSA, OCA 스펙 기반 시스템 소프트웨어 개발

□ 필요 역량

- bootloader, kernel, device driver, device tree 구조 이해
- Debugging skill: GDB/Jtag debugger
- Toolchain skill: C/C++, Yocto/Buildroot
- Development process skill: git, static analysis

□ 우대 사항

- ASPICE, ISO26262 process 기반 개발 경험
- Boot Time, Power Consumption, Memory footprint 최적화 경험

SoC Solution Engineer

□ 조직 및 업무 소개

- SOC Solution팀은 SoC 기반 시스템에서 고속 인터페이스 및 전력/신호 무결성을 검증하여 제품의 양산 품질을 확보하는 역할을 수행합니다.
- Evaluation Board 및 Reference Board 개발, 시스템 레벨 검증 환경 구축, Silicon Bring-up 및 디버깅을 통해 칩의 기능/성능을 종합적으로 검증합니다.
- 본 포지션은 Board 설계부터 SI/PI 분석, 실제 측정 기반 검증까지 End-to-End Validation을 수행하며, Silicon의 완성도를 높이는 핵심 역할을 담당합니다.

□ 주요 업무

[SoC 기반 Reference Board 설계 및 Layout 가이드 정의/검토]

- PCB Stack-up 설계 및 고속 신호/전원 요구사항 반영
- Layout 품질 검증 및 SI/PI 관점의 설계 최적화

[Power Delivery Network (PDN) 설계 및 최적화]

- Target impedance 기반 PDN 설계
- Decoupling capacitor 배치 및 최적화
- IR drop, voltage ripple, transient response 분석

[Signal Integrity (SI) / Power Integrity (PI) 시뮬레이션]

- Pre-layout / Post-layout 시뮬레이션 수행
- Eye diagram, jitter, crosstalk, reflection 분석
- SI/PI 시뮬레이션 결과와 실측 결과 correlation

[High-speed Interface Validation]

- PCIe, Ethernet, USB, LPDDR 등 인터페이스 기능 및 전기적 특성 검증

- Compliance test 및 성능 평가
- Link training, throughput, latency 등 시스템 레벨 검증

[Silicon Bring-up 및 Debug]

- Evaluation Board 기반 초기 bring-up 수행
- 오실로스코프, TDR, VNA 등을 활용한 실측 및 디버깅
- SI/PI 및 인터페이스 관련 이슈 Root Cause 분석

[Component Selection 및 Procurement 지원]

- PMIC, VRM, oscillator, connector, memory 등 주요 부품 선정
- BOM 구성 및 대체 부품 검토
- 부품 수급 이슈 대응 및 협력사 협업

[Cross-functional 협업]

- Silicon 설계팀과 협업하여 datasheet, electrical spec, errata 반영
- Firmware/Software 팀과 협업하여 validation 환경 구축
- 고객 지원 및 field issue 대응

□ 필요 역량

- 전기전자공학 또는 관련 전공 학사/석사 이상
- (경력) SoC 기반 시스템에서 PI/SI 분석 및 고속 보드 설계 실무 경험
- PDN 설계, 임피던스 제어, decoupling 최적화에 대한 실무 수준의 이해
- DDR, PCIe 등 고속 인터페이스 설계 및 신호/전력 무결성에 대한 이해
- 오실로스코프, TDR, VNA 등 계측 장비를 활용한 실제 디버깅 경험

□ 우대 사항

- Cadence Sigrity, Keysight ADS, Siemens HyperLynx 등 SI/PI 툴 경험
- Automotive (ISO 26262, EMC/EMI), High-speed interface compliance test 경험
- Silicon bring-up 및 양산 이슈 대응, 부품 선정 및 BOM 관리 경험